

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

007815200 **Image available**

WPI Acc No: 1989-080312/198911

**Thin film transistor silicon thin film formation - by generating ion,
forming silicon thin film, and applying rapid annealing to film**

NoAbstract Dwg 2/5

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1031466	A	19890201	JP 87187345	A	19870727	198911 B

Priority Applications (No Type Date): JP 87187345 A 19870727

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1031466	A	5		

Title Terms: THIN; FILM; TRANSISTOR; SILICON; THIN; FILM; FORMATION;
GENERATE; ION; FORMING; SILICON; THIN; FILM; APPLY; RAPID; ANNEAL;
FILM; NOABSTRACT

Derwent Class: L03; U12

International Patent Class (Additional): H01L-021/20; H01L-027/12;
H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02733866 **Image available**

FORMING METHOD FOR SILICON THIN FILM FOR THIN FILM TRANSISTOR

PUB. NO.: 01-031466 [JP 1031466 A]

PUBLISHED: February 01, 1989 (19890201)

INVENTOR(s): SERIKAWA TADASHI

SHIRAI SEIICHI

OKAMOTO AKIO

SUYAMA SHIRO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 62-187345 [JP 87187345]

FILED: July 27, 1987 (19870727)

INTL CLASS: [4] H01L-029/78; H01L-021/20; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 762, Vol. 13, No. 220, Pg. 38, May
23, 1989 (19890523)

ABSTRACT

PURPOSE: To obtain a silicon thin film transistor having a high carrier mobility and capable of controlling a threshold voltage to a low value by discharging in inert gas added with hydrogen gas of specific molar % to generate ions, colliding them to the surface of a target to deposit discharged silicon atoms on a substrate, and annealing it for a specific length of time.

CONSTITUTION: One or more of inert gases, such as helium, neon, argon, xenon, krypton and the like are mixed, and 1-50mol% of hydrogen gas is further mixed as sputtering gas. When a negative DC voltage or high frequency voltage is applied to an electrode 22, a glow discharge is

the surface of a target 23 made of silicon. As a result, the silicon atoms are expelled out from the target 23 to form a silicon thin film on an insulating substrate 26. Then, the silicon thin film is annealed for a short time, such as 10 sec or less of heating time by a light radiating method of a laser to form a polycrystalline state.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-31466

⑬ Int. Cl.⁴

H 01 L 29/78
21/20
27/12

識別記号

311

庁内整理番号

F-7925-5F
7739-5F
A-7514-5F

⑭ 公開 昭和64年(1989)2月1日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタ用シリコン薄膜の形成方法

⑯ 特 願 昭62-187345

⑰ 出 願 昭62(1987)7月27日

⑱ 発 明 者	芹 川 正	東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
⑲ 発 明 者	白 井 誠 一	東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
⑳ 発 明 者	岡 本 章 雄	東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
㉑ 発 明 者	陶 山 史 朗	東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
㉒ 出 願 人	日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
㉓ 代 理 人	弁理士 玉島 久五郎	外2名

明 細 書

1. 発明の名称

薄膜トランジスタ用シリコン薄膜の形成方法

2. 特許請求の範囲

もしくは複数種を混合した不活性ガス中で放電することによりイオンを発生させる工程と、

該イオンをシリコン、もしくは不純物を含んだシリコンから成るターゲットの表面に衝突させて放出されたシリコン原子を基板上に堆積させシリコン薄膜を形成する工程と、

該シリコン薄膜に加熱時間10秒以下の短時間のアニール処理を施す工程とを含むことを特徴とする薄膜トランジスタ用シリコン薄膜の形成方法。

(2) レーザ光照射法、電子ビーム照射法もしくは赤外線照射法によりアニール処理を行うことを特徴とする特許請求範囲第1項記載の薄膜トランジスタ用シリコン薄膜の形成方法。

(3) レーザ光照射法、電子ビーム照射法もしくは赤外線照射法によりアニール処理を行うことを含み、上記水素ガスの添加量により薄膜トランジスタの閾値電圧を変化させることを特徴とする特許請求範囲第1項記載の薄膜トランジスタ用シリコン薄膜の形成方法。

3. 発明の産業上の利用分野

〔産業上の利用分野〕

本発明はシリコン薄膜トランジスタに使用する高性能なシリコン薄膜形成方法に関する。

〔従来の技術〕

シリコン薄膜トランジスタは、近年、特に、三次元集積回路の構成要素として、あるいは、平面ディスプレイ用装置の構成要素として注目され、研究が盛んである。このシリコン薄膜トランジスタは、絶縁性基板上に堆積した、厚さ0.01~2.0 μm程度のシリコン薄膜を基体として構成されている。第2図にシリコン薄膜トランジスタの構造

図を示す。現在、図に示すコプラナー構造(a)およびスタガー構造(b)のものが最も広く使用されている。しかし、製法のための工程は多少異なるが、動作原理は、いずれの構造でも同じである。以下シリコン薄膜トランジスタとして、コプラナー構造のものを例に挙げてシリコン薄膜トランジスタの構成と動作原理を簡単に説明する。

この第2図(a)に示すように、絶縁性基板11上にシリコン薄膜12を堆積し、その上にゲート絶縁膜13とゲート電極14が形成された構造になつている。15はソース、16はソース電極、17はドレイン、18はドレイン電極である。この様な構造において、ゲート電極14に正もしくは負の電圧を印加すると、シリコン薄膜12中に、特に、シリコン薄膜12とゲート絶縁膜13との界面近傍にキャリアが誘起され、ソース電極16とドレイン電極18の間で印加された電圧により、キャリアがソース15とドレイン17との間を流れてシリコン薄膜トランジスタが動作する。なおこのようなシリコン薄膜トランジスタの特性は、シリコン薄膜12の性質に著しく依存する。

ン薄膜12は熱処理を施され、多結晶状態にして用いられるが、この場合にはシリコン薄膜12が基板11から剥離する問題はない。しかしたとえこのようにシリコン薄膜を多結晶状態にしても、不活性ガスのみの雰囲気中で形成されたシリコン薄膜12から作成されたシリコン薄膜トランジスタでは、

に制御できない。このためシリコン薄膜トランジスタの動作電圧が高くなり、耐圧特性の劣化や適用範囲が限定されるなどの問題があつた。

シリコン薄膜トランジスタの特性を特徴づける重要なパラメータとしては、キャリア移動度と共に、閾値電圧がある。すなわちシリコン薄膜トランジスタの特性を充分に発揮するには、キャリアの移動度を向上するだけでは不十分であり、閾値電圧を制御することも必要となる。ところが、従来からの研究は、前者のキャリア移動度の向上のみに集中し、後者の閾値電圧の制御にはあまり精力が注がれなかつたのが実状である。

第4図は、従来の方法、すなわち、不活性アル

従来使用した薄膜トランジスタにおけるシリコン薄膜12の形成には、基板11を低温温度に保つたまま実施できるプラズマ気相成長法あるいはスパッタリング法が用いわれてきた。しかしこれらの方法により堆積したシリコン薄膜12がアモルファス状態となつていたために、キャリア移動度が非常に低く、この方法で作つたシリコン薄膜トランジスタは高性能のものを得ることは困難である。従来この問題点を解決して高性能な特性にするために、上記の方法により堆積したシリコン薄膜12に熱処理を施して、アモルファス状態から結晶化した状態にしている。ところがシリコン薄膜の堆積法としてプラズマ気相成長法を用いた場合には、該熱処理の際に、シリコン薄膜12が基板11から剥離する事故が頻発する欠点がある。

また従来のスパッタリング法では、不活性ガス：ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、キセノン(Xe)やクリプトン(Kr)の一種もしくは複数を混合した不活性ガス中でアモルファス状態のシリコン薄膜12が形成される。このシリコ

ンガスを単体でスパッタしてシリコン薄膜を堆積し、これを多結晶化したシリコン薄膜より成るnチャネル型トランジスタの特性を示す図である。このときのスパッタ条件は、スパッタ電力：1.5 kW、スパッタ圧力：2.0 Pa、基板温度：室温である。さらに、多結晶化のためのアニール処理はレーザー照射法により行い、そのときのレーザーパワースキャン速度は、縦軸はドレイン電圧(V)、横軸はドレイン電流(mA)を取り、ゲート電圧をパラメータにした場合である。このときのキャリア移動度は、 $190 \text{ cm}^2/\text{V}\cdot\text{s}$ であり、十分に高い値を示す。このnチャネル型トランジスタの閾値電圧は第1図のP点に示すように5.3 Vである。

この閾値電圧は、結晶粒同士の境、すなわち、結晶粒界の性質に関連する(文献：J.G.Fossum, A.Ortiz-Conde, IEEE Trans. Electron Devices, ED-30, 1983, 933-940ページに詳しく記述されている)。さらに、この結晶粒界の性質は、キャリアの移動度にも影響する。すなわち、キャリア移動度と閾

値電圧とは、共に結晶粒界でのポテンシャルバリアの高さに関連し、このポテンシャルバリアが高くなればキャリア移動度は下り、閾値電圧は高くなるといわれていて、独立に制御することは困難である。

〔発明が解決しようとする問題点〕

以上のように、従来からの方法では、高いキャリア移動度を有し、さらに閾値電圧が低く、しかもその電圧を所定の値に制御できる高性能な閾値トランジスタを実現できなかった。本発明は従来方法における問題点を解決できる閾値電圧が制御できるシリコン薄膜の形成方法を提供することである。

〔問題点を解決するための手段〕

1～50モル多程度の水素ガスを添加した一種もしくは複数種を混合した不活性ガス中で放電することによりイオンを発生させる工程と、

該イオンをシリコン、もしくは不純物を含んだ

ト23の周辺部に設けられた電極シールド、25は基板支持台、26は基板支持台25上に設置されたシリコン薄膜を形成すべき絶縁性の基板、27はスパッタリング用ガス（一種もしくは複数種の不活性ガスおよび水素ガス）を導入するためのガス導入口、28はガスの排気口である。なお、一種もしくは複数種の不活性ガスの導入口と、水素ガスの導入口とを別々に設けし。

この様な構成の装置で、電極22に負の直流電圧もしくは高周波電圧を印加すると、グロー放電が起こり、不活性雰囲気ガスからイオンが生成されて、これがシリコンからなるターゲット23の表面に衝突する。この結果、シリコン原子がターゲット23の表面から叩き出され、絶縁性の基板26の表面にシリコン薄膜が形成される。次に、このシリコン薄膜にレーザ光照射法等による加熱時間10秒以下の短時間アニール処理を施して多結晶状態にする処理方法である。その後、このように処理された基板を通常のいくつかの工程を経てシリコン薄膜トランジスタが製作される。

シリコンから成るターゲットの表面に衝突させて放出されたシリコン原子を基板上に堆積させてシリコン薄膜を形成する工程と、

該シリコン薄膜に加熱時間10秒以下の短時間のアニール処理を施す工程とを含む処理方法により高いキャリア移動度を有し、しかも閾値電圧が低く制御できるシリコン薄膜トランジスタを提供した。

〔実施例〕

本発明によれば、高性能なシリコン薄膜トランジスタのキャリア移動度の特性を損なうことなく、閾値電圧を制御できる。以下、本発明を、実施例を用いて詳細に説明する。

第3図は、本発明の方法を実施するために用いるスパッタリング装置の概略図である。図において、21は真空槽、22は陰極もしくは高周波電極となる電極、23はこの電極22上に設置されたシリコン、もしくはボロンヤリン等の不純物を含むシリコンからなるターゲット、24は電極22とターゲッ

上記本発明におけるスパッタリング用ガスとしては、ヘリウム、ネオン、アルゴン、キセノンやクリプトンなどの不活性ガスの一種もしくは複数種を混合したガスに、1～50モル多の水素ガスを混合したものを用いる。

従来からの不活性ガスを用いる方法では、高いキャリア移動度を有し、さらに閾値電圧が低くし

値トランジスタを実現できなかった。この問題を解決するため、スパッタガスとして種々のものを検討した結果、スパッタ時の不活性ガスに少量の水素ガスを混合するだけの簡単な方法により、キャリア移動度を損なうことなく、閾値電圧を変化させ得ることを見いだすことができた。

第1図は本発明の実施例で処理したシリコン薄膜を用いた、チャネル型トランジスタの閾値電圧の水素ガス混合率による変化を示す図である。本発明のためのスパッタ条件は、スパッタガス中に水素ガスを含む場合は第4図の特性をもつたトランジスタの時と同じである。

第1図に示すように、閾値電圧は1モル%以上の混合率では水素ガス混合率と共に小さくなり、水素ガス混合率を変えることにより、その閾値電圧は明らかに希望の値に制御できていることが分る。さらに、これらの場合のキャリア移動度はいずれも $150 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上であり、従来の高々 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ に比して、充分に優れたシリコン薄膜トランジスタが得られている。

このように、水素を混合したスパッタガス中で堆積したシリコン薄膜に短時間のアニール処理を施した多結晶シリコン薄膜では、移動度を損なうことなく閾値電圧を制御できる。なお、水素を混合した膜では、不活性ガス単独のものよりも結晶粒径が数割程度大きくなっていることが電子顕微鏡観察によつて確認された。

多結晶状態にするための短時間のアニール方法として、前述の実施例ではレーザー光照射法を採用したが、電子ビーム照射法や赤外線照射法も本発明には適する。前者の電子ビーム照射法はレーザー光照射法と同様にビーム上に集束して使用できる

濃度であれば十分に高い堆積速度を示すが、これ以上になると著しく減少する。特に、50モル%よりも高い領域では実用的な堆積速度は得られない。さらに、50モル%以上の場合には、アニール処理時に含有水素が膜外に放出される際に、膜が基板から剥離する問題が生じる。

場合を示したが、他の不活性ガス、例えば、リウム、ネオン、クリプトンあるいはキセノンを単体ガスとして、あるいは、複数種の不活性ガスを混合したガスを用いた場合でも、第1図に示したと同様な水素ガス濃度依存性を示す。

さらに、本発明の実施例としては第2図(a)のコプラナー構造のトランジスタを用いて説明したが、第2図(b)に示したスタガー構造のものであつても本発明が容易に実施できることは明らかである。

[発明の効果]

以上に述べたように、不活性ガスに1~50モル

ために、基板上の任意の場所を選択的にアニールできる利点がある。一方、後者の赤外線照射法は、ハロゲンランプ等から発する熱線を基板に照射して行うために、基板面を一括してアニールするのに適している。いずれの方法を使用するにせよ、レーザー光照射法と同様に、優れた特性のシリコン薄膜トランジスタが得られる。ただ、多結晶化のためのアニール処理の時間を、好適時間は照射パワーにより異なるが、例えば、赤外線照射法において、10秒よりも長くすると、シリコン薄膜だけでなく基板25までも高い温度に加熱されてしまつたり、三次元集積回路では、下層の半導体装置が劣化あるいは破壊される問題が生じてくる。このために、アニール処理の時間を10秒以下にすることにより、本発明を有効に実施できる。

第5図には、アルゴンに水素を混合した場合の水素混合濃度と、シリコン薄膜の堆積速度との関係を示す図である。この実施例では、スパッタ条件はスパッタガス以外は第4図の特性をもつトランジスタの時と同じである。40モル%以内の水

素濃度の水素ガスを混合した雰囲気ですパッタリングにより堆積したシリコン薄膜に、レーザー光、電子ビームもしくは赤外線を照射する短時間のアニール処理を施すことにより移動度及び閾値電圧ともに良く制御したシリコン薄膜トランジスタが得られる。さらに、本発明では、基板を低温度に

上でき、また、安価なガラス基板も使用できた。

シリコン薄膜トランジスタとして、電界効果トランジスタの他にバイポーラトランジスタに本発明のシリコン薄膜処理を適用しても高移動度の特性を得ることができる。

本発明は極めて簡単な方法で、高いキャリア移動度を保持しつつ、閾値電圧を所望の値に制御することができるシリコン薄膜トランジスタのシリコン薄膜処理方法を提供した。

4. 図面の簡単な説明

第1図は本発明の処理方法を実施したスパッタ

ガス中に混合する水素濃度によるシリコン薄膜トランジスタの閾値電圧の変化を示す図、

第2図はシリコン薄膜トランジスタの構造図、

第3図はスパッタリング装置の概略図、

第4図は従来の処理方法によつて製造したシリコン薄膜トランジスタの特性図、

第5図はスパッタガス中に混合する水素濃度によるシリコン薄膜の形成速度の変化を示す図である。

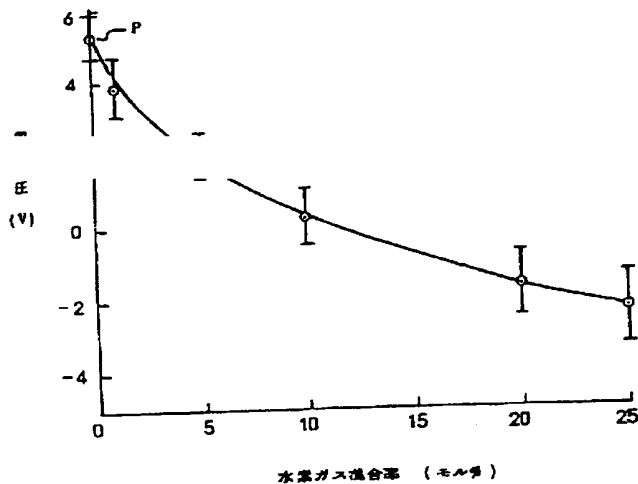
- 23...ターゲット
- 24...電極シールド
- 25...基板支持台
- 26...基板
- 27...ガス導入口
- 28...ガス排気口

特許出願人 日本電信電話株式会社

代理人 弁理士 玉 蟲 久 五 郎

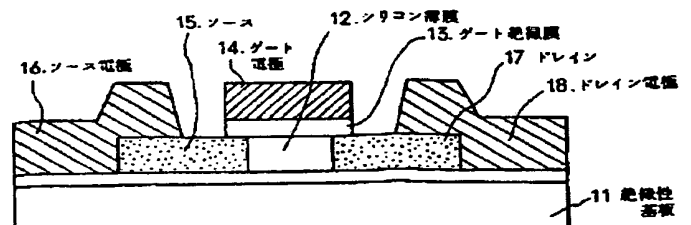
(外2名)

- 11...絶縁性基板
- 12...シリコン薄膜
- 13...ゲート絶縁膜
- 14...ゲート電極
- 15...ソース
- 16...ソース電極
- 17...ドレイン
- 18...ドレイン電極
- 21...真空槽
- 22...陰極用もしくは高周波用の電極

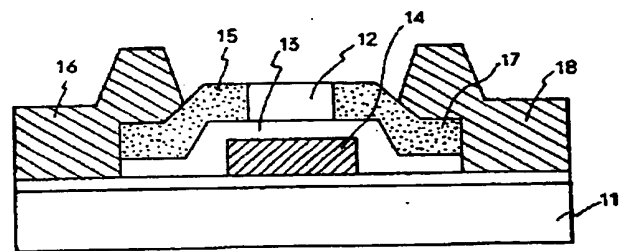


本発明の製法により作ったシリコン薄膜トランジスタの閾値電圧を示す図

第 1 図



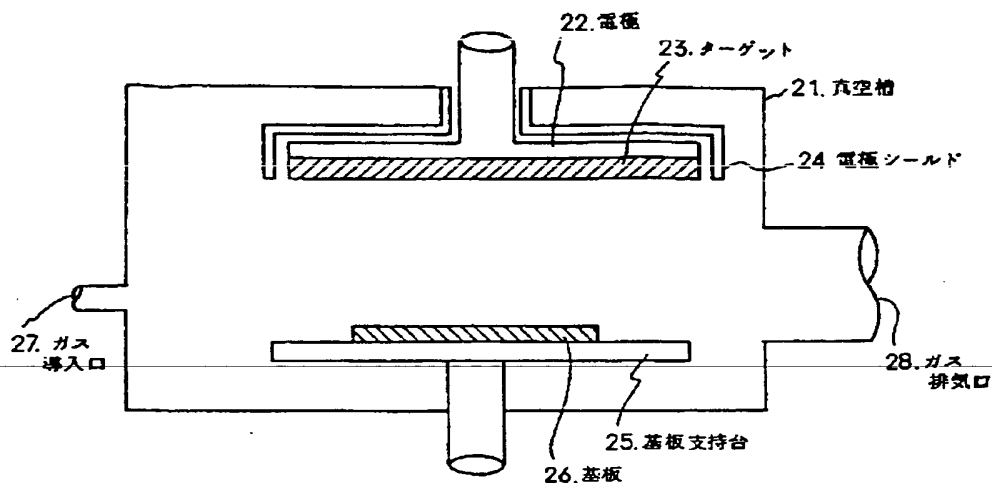
コプレーナ構造
(a)



スタagger構造
(b)

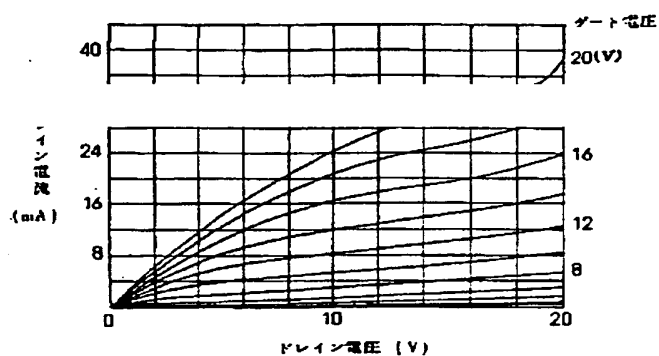
シリコン薄膜トランジスタの構造図

第 2 図



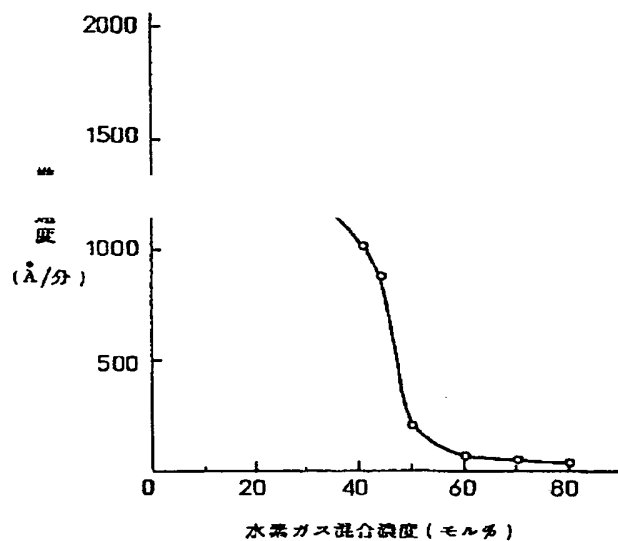
スパッタリング装置の概略図

第 3 図



従来の方法により製造したシリコン薄膜トランジスタの特性図

第 4 図



シリコン薄膜の形成速度を示す図

第 5 図